

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP362143473A

PAT-NO: JP362143473A

DOCUMENT-IDENTIFIER: JP 62143473 A ✓

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 26, 1987

INVENTOR-INFORMATION:

NAME

HORIUCHI, KATSUTADA

HARA, NOBUO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP60282856

APPL-DATE: December 18, 1985

INT-CL (IPC): H01L029/78;H01L021/28 ;H01L029/54

US-CL-CURRENT: 257/384,257/E29.146

ABSTRACT:

PURPOSE: To protect a silicide film from corrosion, by forming a highly conductive film having a resistance to an etchant used for interlayer insulation film after the formation of the silicide film and before the deposition of the interlayer insulation film and the formation of a contact

hole.

CONSTITUTION: A field oxide film 2, a gate insulation film 3, a gate electrode 4, a gate protecting insulation film 5 and a gate side wall insulation film 6 are formed on a silicon substrate 1. P ions are then implanted to form a source diffusion layer 7 and a drain diffusion layer 8. A Ti film 22 is subsequently adhered on the whole surface. The substrate is then heat treated to form  $\text{TiSi}_2$  films 9 and 10. After a TiW film is adhered on the whole surface, diffusion inhibition films 131 and 141 are selectively formed so as to cover the films 9 and 10. An interlayer insulation film 15 is deposited and provided with an opening at a position as required. Finally, source and drain electrodes 16 and 17 are formed of Al.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-143473

⑤ Int. Cl.<sup>4</sup>H 01 L 29/78  
21/28  
29/54

識別記号

庁内整理番号

8422-5F  
7638-5F

⑬ 公開 昭和62年(1987)6月26日

審査請求 未請求 発明の数 2 (全10頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-282856

⑱ 出 願 昭60(1985)12月18日

⑲ 発 明 者 堀 内 勝 忠 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内⑲ 発 明 者 原 信 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

発明の名称 半導体装置

## 特許請求の範囲

1. 半導体基板と反対導電型を有する拡散層と、  
該拡散層上の少なくとも一部を覆うごとく構成  
された金属硅化物層と、該金属硅化物層を覆う  
ごとく構成された絶縁膜を有する半導体装置に  
於て、該絶縁膜のエッチング材に対する該金属  
硅化物層のエッチング速度より遅いエッチング速  
度特性を有する導電膜を介して該絶縁膜は該金  
属硅化物層上に構成されることを特徴とする半  
導体装置。
2. 特許請求の範囲第1項記載の半導体装置に於  
て、該導電膜は該金属硅化物層と自己整合の関  
係で構成されていることを特徴とする半導体装  
置。
3. 半導体基板と反対導電型を有する第1及び第  
2の拡散層の一部が第1の絶縁膜を介してゲー  
ト電極により覆われ、該ゲート電極の側壁には第  
2の絶縁膜が構成された半導体装置に於て、該

拡散層は該第2の絶縁膜端により導入され、該  
拡散層上には該第2の絶縁膜に隣接して設けら  
れた第3の絶縁膜と、該第3の絶縁膜に隣接し  
て金属硅化物層が設けられていることを特徴と  
する半導体装置。

## 発明の詳細な説明

## 〔発明の利用分野〕

本発明は半導体装置に係り、特にソースドレイ  
ン拡散層の極薄化に好適な超微細MOS型トラン  
ジスタに関する。

更に本発明は半導体装置に係り、特に電流利得  
を減ずることなくドレイン強電界を緩和し得る、  
したがって耐ホットキャリア特性に優れた超微細  
MOS型電界効果トランジスタ（以降単にトラン  
ジスタと略記す）に関する。

## 〔発明の背景〕

半導体集積回路装置の高集積化に伴いその構  
成素子であるMOS型電界効果トランジスタ（以  
降単にMOSと略記する）は微細化され、ソース  
・ドレイン拡散層の接合深さも極薄化の傾向にあ

る。浅い接合を構成する上で問題となるのが配線材料であるアルミニウム(A<sub>2</sub>)とシリコン(Si)の共晶による接合つきぬけの不良発生である。従来のMOSに於ては第2図で示すごとく、ソース電極16及びドレイン電極17をn<sup>+</sup>ソース拡散層18及びn<sup>+</sup>ドレイン拡散層19と接続するコンタクト孔を介してイオン打込みで深い接合を有するn<sup>+</sup>拡散層20、21を形成し、A<sub>2</sub>-Si共晶による接合つきぬけを防止している。尚、第2図に於て1はP導電型シリコン基板、2はフィード酸化膜、15は層間絶縁膜であり、n<sup>-</sup>ソース拡散層71、及びドレイン拡散層81はゲート電極4及びゲート保護絶縁膜5をマスクにして形成している。3はゲート絶縁膜である。ソース及びドレインn<sup>+</sup>拡散層18、及び19はゲート側壁絶縁膜6をマスクにして形成している。第2図のごとき従来構造に於て、A<sub>2</sub>-Si共晶による接合つきぬけを防止する深い拡散層20、及び21は通常、層間絶縁膜15の堆積とその所望箇所への開孔の後、イオン打込み法を用いて形

成している。したがって打込みイオンの活性化の為に1000℃前後の高温熱処理工程がn<sup>-</sup>拡散層71、及び81やn<sup>+</sup>拡散層18、及び19の形成後に施される結果となる。したがってn<sup>-</sup>拡散層71、及び81やn<sup>+</sup>拡散層18、及び19の接合深さの極浅化を図る場合、上記の高温熱処理工程が必要な限り一定値以上の極浅化は不可能となる。第2図はソース・ドレイン拡散層がn(P)、又は硅素(As)のn型不純物で構成される、いわゆるnチャネルMOSの場合であるが、拡散速度の速い硼素(B)のごときP型不純物でソース・ドレイン拡散層が構成される、いわゆるPチャネルMOSの場合、極浅化は特に困難となる。深い接合を有するn<sup>+</sup>拡散層20、及び21を形成する熱処理工程を低温化した場合、不純物の活性化は多少進行するが接合リーク等の他の不良が発生し好ましくない。

A<sub>2</sub>-Si共晶による接合つきぬけを防止する他の手段として、ソース・ドレイン拡散層上にタングステン(W)やモリブデニウム(Mo)等の

シリサイドを形成し、層間絶縁膜の堆積と所望箇所への開孔の後開孔により露出されたシリコン基板面をW膜に覆い、その後A<sub>2</sub>配線工程を実施する方法も特開昭59-205759等に記載されている。上記構造に於てW膜はSi又はA<sub>2</sub>の拡散に対する障壁の役割を有し接合つきぬけを防止する効果をもつ。ソース・ドレイン拡散層上にシリサイド化された上記構成は極浅化拡散層上に於ても拡散層シート抵抗は十分に低抵抗化されており超微細MOSとして極めて好ましい。上記ソース・ドレイン拡散層のシリサイド化導体として、Mo<sub>2</sub>Si<sub>3</sub>のシリサイドによるシート抵抗は6B至10Ω/□程度とシリサイド膜としては高抵抗であり、かつ表面状態も凸凹が激しく、さらに微細化されたMOSに適用するには好ましくない。チタニウム(Ti)のシリサイド膜はシート抵抗も2Ω/□程度と高融点金属のシリサイド膜としては最も低抵抗であり、かつ表面状態も極めて平坦で超微細MOSのソース・ドレイン拡散層のシリサイド化に適用する上で好ましい。しかし上記Tiのシリ

サイド膜の適用にも重大な問題が存在する。すなわち、電極をソース・ドレイン拡散層上のシリサイド膜に接続するために層間絶縁膜に開孔を施す時、層間絶縁層のエッチング速度とTiのシリサイド膜(以降TiSi膜と記すがTiとSiの組成比は1:2に限定されるものではない)のエッチング速度の間に大きな差がないため開孔部のTiSi<sub>2</sub>膜が除去されやすいことである。したがってn<sup>+</sup>ソース・ドレイン拡散層が50nm以下の極めて浅い場合に於てはn<sup>+</sup>拡散層も同時に除去されW膜が直接n<sup>-</sup>拡散層、又はシリコン基板と接触する極端な場合も発生する。上記のごとき場合、高抵抗非線型特性、又はショットも整流特性を示し、良好な低抵抗オーミック特性を得ることができない。

トランジスタの微細化に基づくソース・ドレイン拡散層の極浅化は拡散層抵抗の増大をもたらす。拡散層抵抗の増大による電流利得の低下を防ぐため超微細トランジスタでは拡散層表面に高融点金属膜、又は金属硅化物層(以下シリサイド層と称

す。)をソース・ドレイン拡散層と自己整合的に構成する手法が公知である。さらにチャネル長が $1\mu\text{m}$ 以下のトランジスタに於ては $5\text{V}$ なる通常電圧動作でもホットキャリア注入劣化等が生じさせない為にソース・ドレイン間耐圧を十分に高くするドレイン拡散層構造も本発明者らにより特開昭59-205759号として既に出願されており第8図のごとき構成となっている。第8図に於て、1はP型電圧シリコン基板、2は素子間分離用の厚いフィルド酸化膜、3はゲート酸化膜で60及び70はゲート電極4とゲート保護絶縁膜5の側壁に選択的に形成された第1のゲート側壁絶縁膜である。80及び90は各々低濃度( $n^-$ )拡散層で形成されたソース領域とドレイン領域で、第1のゲート側壁絶縁膜60及び70を拡散マスクとして形成されている。 $n^-$ ソース拡散層80、及び $n^-$ ドレイン拡散層90表面にはシリサイド層12及び13が構成されており、各々ソース電極17及びドレイン電極18とはバリアメタル層15及び16を介して接続されている。14は層

間絶縁膜である。第8図のごとき公知のトランジスタに於て、ゲート電極4とシリサイド層12及び13間を隔てるゲート側壁絶縁膜60及び70は $n^-$ ソース拡散層80及び $n^-$ ドレイン拡散層90の導入端としての役割を有している。超微細トランジスタに於ける $n^-$ ドレイン拡散層の役割はドレイン強電界を緩和するものであり、その不純物濃度及び接合深さ、さらにはシリサイド層13とゲート電極4間の間隔等には所望回路構成に基づく最適条件が存在する。上記のうち不純物濃度の最適条件はゲート側壁絶縁膜60及び70と無関係に設定できるが接合深さはシリサイド層13とゲート電極4間間隔、すなわちゲート側壁絶縁膜厚と独立に設定できない。特にシリサイド層13とゲート電極間間隔を所望値に設定した場合、接合深さは上記設定値以上に設定しなければドレイン・ソース間の導通が保証されない。ゲート側壁絶縁膜60及び70としては従来堆積絶縁膜、又はゲート電極4がシリコン薄膜等で構成される場合その熱酸化膜で構成されていたが、上記

の各単一絶縁膜は所定膜厚以上なければ電気的に弱いゲート電極4とシリサイド層12又は13間が短絡する為所定厚さ以下には設定できなかった。一方、ゲート側壁絶縁膜60及び70を厚く設定すれば必然的に接合深さも深く設定せねばならないが、超微細トランジスタに於ては接合深さの増大はパンチスル耐圧を低下させる欠点が生ずる。

#### (発明の目的)

本発明の目的は極浅拡散層の極浅性を維持し、かつ配線工程に関連する接合破壊を解消しうる半導体装置を提供することにある。特にソース・ドレイン拡散層上がシリサイド化された超微細MOSに於て、コンタクト孔の開孔工程により損じられない構造を有する半導体装置を提供することが主たる目的である。

本発明の目的はソース・ドレイン拡散層上に高融点金属、又はそのシリサイド膜が構成された超微細トランジスタに於て、ゲート電極と上記金属又はシリサイド層間の短絡不良を生ずることなく、

かつソース・ドレイン接合深さをゲート側壁絶縁膜厚と独立な所望深さに設定し、ソース・ドレイン間耐圧を向上と得る半導体装置を提供することにある。

#### (発明の概要)

本発明はシリサイド層直下に $50\text{nm}$ 以下の極めて浅い接合をシリサイド層からの析出効果を用いて $600^\circ\text{C}$ 以下の低温で形成し得る新規現象を見出し、その超微細MOSへの適用を検討する過程で見出した問題点の解消に関する。シリサイド層直下に $0.1$ 乃至 $0.2\mu\text{m}$ 以上の深さを有する $N^+$ 、又は $P^+$ 拡散層を有する従来の微細MOSに於ては上記問題点は致命的不良に至らない。尚、新析出現象に関しては本発明者の一人により既出願の特開昭58-226847号等に記してあり、ここでの重複記述は省略する。

本発明に於てはA<sub>1</sub>配線工程に先だつ層間絶縁膜へのコンタクト孔開孔時に下地シリサイド膜、及びその直下の極浅接合が除去される事故を防止する為、シリサイド膜形成後、層間絶縁膜のエツ

チング材に対しては耐性を有する良導電性膜、たとえばW膜を形成し、しかる後層間絶縁膜の堆積とコンタクト孔の開孔を実行する。上記構成に於ては層間絶縁膜への開孔工程で下地シリサイド膜が侵蝕されることはなく、又W等の膜の存在によりAl-Si共晶による極浅接合の破壊も生じない。さらに上記良導電性膜の形成は500℃以下の低温で実施できる為、接合深さへ影響も無視され、極浅接合を維持することができる。

W膜等の加工による下地シリサイド膜の侵蝕、及び工程数の増加に関しては下地シリサイド膜上にのみ選択的にW膜等が堆積される条件の化学気相反応法を用いればいずれも解決できず法ずれに生ずる微細化上の問題点も生じない。

本発明は第8図で示されるごとく従来トランジスタの問題点に鑑み、ゲート側壁絶縁膜を二層以上の多層膜で構成する。絶縁膜のピンホール発生は絶縁膜を形成する基体の物質、及びその表面状態に極めて強く依存する。上記の表面状態は第1の絶縁膜の形成により改変されるため、第2及び

第3層以降の絶縁膜形成に及ぼす基体表面の影響は第1の絶縁膜形成のものと異なっている。したがって、第2層目以降の絶縁膜に於るピンホールは、たとえ発生する場合でも、第1の絶縁膜内のピンホール箇所に発生する。したがってゲート側壁絶縁膜の多層構造化によりゲート電極とソースシリサイド層又はドレインシリサイド層間の短絡が格段に低減される。

ゲート側壁絶縁膜の多層化により、各絶縁膜層に種々の役割を分担させることができる。すなわち、第1層目のゲート側壁絶縁膜層をソース・ドレイン拡散層形成のマスクとして用い、第2層目のゲート側壁絶縁膜の形成後ソース・ドレインのシリサイド層を形成する手法を用いればゲート側壁絶縁膜厚よりも浅い接合を有するソース・ドレイン拡散層を形成することができる。したがってゲート側壁絶縁膜厚と関係なく接合深さの最適条件を設定でき、パンチスルー耐圧の低下を招くことなく超微細トランジスタを実現できる。

#### 〔発明の実施例〕

以下、本発明の実施例を図面をもつて説明する。図面は説明の都合上、局部が拡大して示されているので注意を要する。

#### 実施例1

第3図乃至第5図は本発明の第1の実施例を製造工程順に示した断面図である。

P導電型、抵抗率 $10\Omega\cdot\text{cm}$ のシリコン基板1に公知の素子分離技術を用いて $0.8\mu\text{m}$ 厚のフイルド酸化膜2を形成してから活性領域上のシリコン基板1表面を露出させる。この状態より熱酸化法により厚さ $15\text{nm}$ の清浄なシリコン酸化膜をシリコン基板表面に形成し、ゲート絶縁膜3を構成した。続いて、厚さ $350\text{nm}$ のシリコン薄膜を化学気相反応で堆積した後、 $\text{POCl}_3$ を拡散源とする熱拡散法により上記シリコン薄膜を低抵抗化した。上記熱拡散によりシリコン薄膜上に形成された高濃度に磷を含有する磷硅酸ガラスを沸騰水溶液で除去した後、わずかに磷が添加された磷硅酸ガラスを $0.2\mu\text{m}$ の厚さに堆積した。次に上記シリコン薄膜、及び磷硅酸ガラス膜を同一マスク

で加工し、ゲート電極4、及びゲート保護絶縁膜5を形成した。加工後のゲート電極長は $0.8\mu\text{m}$ であつた。次にテトラエトキシシラン( $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ )による化学気相反応により $0.3\mu\text{m}$ 厚のシリコン酸化膜を全面に堆積させた後、公知のスパッタエッチング法によりシリコン基板1表面と垂直方向にのみエッチングを進行させる異方性エッチングを施し、平坦部のシリコン酸化膜を除去してゲート電極4、及びゲート保護絶縁膜5の側壁部にのみ選択的に残置させ、ゲート側壁絶縁膜6を形成した。この状態により、加速エネルギー $30\text{KeV}$ なる条件でPイオンのイオン注入とその後の $950^\circ\text{C}$ なる熱処理により打込みイオンの活性化を行いn-ソース拡散層7とn-ドレイン拡散層8を形成した。尚、上記工程に於てイオン打込み量と熱処理時間はn-拡散層7及び8の接合深さが $0.25\mu\text{m}$ 、表面不純物濃度が $3\times 10^{18}\text{cm}^{-3}$ となるごとく設定した。次にn-ソース拡散層7、及びn-ドレイン拡散層8上に残置しているシリコン酸化膜を除去し、再びシリコン

基板1表面を露出させた。続いて100nm厚のTi膜22を真空蒸着法により全面に被着させた。次にTi膜内で阻止されるエネルギー条件60 KeVで $1 \times 10^{18} \text{cm}^{-2}$ のPイオンをイオン打込した(第3図)。

Pイオンのイオン打込みの後、N<sub>2</sub>雰囲気、65℃なる条件の熱処理を行いTi膜22とシリコン基板1が接触する領域でTiSi<sub>2</sub> 9、及び10を形成した。TiSi<sub>2</sub>膜の膜厚は7.0nmであつた。上記のシリサイド形成熱処理に於て、Ti膜22内に注入されていた高濃度のPイオンの一部はTiSi<sub>2</sub>膜形成時にTiSi<sub>2</sub>膜9、及び10直下に高濃度に、かつ50nm以下の極浅に析出しn+層11及び12が形成される。TiSi<sub>2</sub>膜9、及び10の形成後、末反応のTi膜を過酸化水素水とアンモニア水の混合水溶液で除去するとシリコン酸化膜や燐硅酸ガラス上のTi膜はシリサイド化されておらず容易に除去されn-拡散層7及び8上にのみ選択的にTiSi<sub>2</sub>膜9、10が残置された(第4図)。

期的な改善が図られたことを示している。尚、本実施例に於て、層間絶縁膜15の所望箇所への開孔はCF<sub>4</sub>をソースとするドライエッチング法によつたが上記エッチングに対し、TiW膜による拡散阻止膜13、14及び141の侵蝕はほとんど無視できるほどわずかである。

#### 実施例2

第1図は本発明の第2の実施例を示す図である。前記第1の実施例における第4図の状態より水素雰囲気中の六弗化タングステン(WF<sub>6</sub>)を用い反応温度350℃、圧力1Torrの横型反応炉を用いて200nm厚のW膜13及び14を堆積させた。上記の堆積条件ではW膜13及び14はTiSi<sub>2</sub>膜9及び10上のみ選択的に堆積され、シリコン酸化膜で構成されるフィールド酸化膜2、ゲート保護絶縁膜5等の上には形成されない。尚、上記の堆積は10nm/分の堆積速度条件にて実施した。W膜13及び14の選択堆積の後、前記第1の実施例に従い層間絶縁膜15の形成と所望箇所への開孔、及びA<sub>2</sub>蒸着膜の加工によるソース電極

第4図の状態よりスパッタリング法により0.2μmなる厚さにTiW膜全面に被着させた後、TiSi<sub>2</sub>膜9及び10上を覆うとき構成で写真蝕刻により選択的に拡散阻止膜13、14及び141を形成した。次に腐がわずかに添加されたシリコン酸化膜による0.6μm厚の層間絶縁膜15を堆積し、所望部への開孔を施した。しかる後Siが添加されたA<sub>2</sub>膜を全面に蒸着し、ソース電極16、ドレイン電極17を含む所望の電極及び配線を所望の回路構成に従つてA<sub>2</sub>膜の蝕刻により形成した(第5図)。

上記の製造工程を経て作製された半導体装置に於てはソース・ドレイン拡散層上へのコンタクト孔開孔時にTiSi<sub>2</sub>膜9及び10が侵蝕される不良はまったく発生せず極浅のn+層11及び12も何の障害も発生しなかつた。すなわち上記製造工程に於て、比較の為に拡散阻止膜13、14及び141を用いながつた半導体装置の接合電気特性に高接合抵抗特性が同一ウエーハ内に於ても多発し、特性にばらつきが生じた事実より考えれば副

16、ドレイン電極17を含む電極と配線を所望の回路構成に従つて形成した。

上記の製造工程を経て製造された半導体装置に於てはTiSi<sub>2</sub>膜9、10と自己整合的に拡散阻止膜であるW膜13及び14が形成されるので前記実施例1の場合のごとく拡散阻止膜を加工形成する必要がない。したがつて良導電性の拡散阻止膜の加工ずれによるソース・ドレイン間短絡等の歩留り低下を防止でき、かつ工程数も前記第1の実施例にくらべて低減できた。本実施例に基づいて形成されたW膜13及び14はCF<sub>4</sub>によるドライエッチングでは、まったく侵蝕されず、したがつて層間絶縁膜15の開孔に対しても何ら影響されなかつた。さらにW膜13及び14はソース電極16及びドレイン電極17を構成するA<sub>2</sub>の拡散に対しても十分な拡散阻止効果を示し、ソース電極16及びドレイン電極17の形成後に於て3450℃、1時間なる水素雰囲気中熱処理に対しても接合つきぬけ等の接合不良に関する不良はまったくみられず良好な電気特性が得られた。



## 実施例3

第6図は本発明の第3の実施例を示す図である。前記第2の実施例を於て、ゲート側壁絶縁膜6形成後ソース・ドレイン拡散層形成予定領域上の薄い酸化膜を除去し、本発明者の1人らより先に出版されている特願昭58-76119号に記載されている方法等を用い選択的に多結晶又は非晶質のシリコン薄膜23及び24を形成した。しかる後、前記第2又は第1の実施例に従つてn-拡散層の形成のためのイオン打込みと活性化の熱処理を施し、n-ソース拡散層7及びn-ドレイン拡散層8を形成した。尚上記のシリコン薄膜23及び24の形成は前記各実施例における3n-ソース拡散層7及びn-ドレイン拡散層8の形成後に実施し、しかる後シリコン薄膜23及び24内に再度n-イオン打込み工程とその活性化熱処理を実施してもよい。n-イオン打込みとその後の活性化熱処理の後、前記第2の実施例に従つて $\text{TiSi}_2$ 膜91及び101、n+析出層111及び121、Wの選択堆積による拡散阻止膜132、及び142の

成した。続いて厚さ350nmのシリコン薄膜を化学気相反応で堆積した後POC<sub>4</sub>を拡散源とする熱拡散法により上記シリコン薄膜を低抵抗化した。上記拡散によりシリコン薄膜上に形成される硅磷酸ガラスを希硫酸水溶液で除去し、わずかに膜が添加された硅磷酸ガラスを0.2 $\mu\text{m}$ の厚さに改めて堆積した。次に上記シリコン薄膜及び硅磷酸ガラス膜を同一マスクで加工し、ゲート電極4及びゲート保護絶縁膜5を形成した。次にテトラエトキシシラン( $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ )による化学気相反応により0.15 $\mu\text{m}$ 厚のシリコン酸化膜を全面に堆積させ、公知のスパッタエッチング法によりシリコン基板1表面と垂直方向にだけエッチングを進行させる異方性エッチングを施し、平坦部のシリコン酸化膜を除去してゲート電極4及びゲート保護絶縁膜5の側壁部にだけ選択的に残置させ、第1のゲート側壁絶縁膜6及び7を形成した。この状態より、加速エネルギー30KeVの条件で磷(P)イオンのイオン注入とその後の950℃なる温度での熱処理により打込みイオン

形成等を逐次実施し半導体装置を製造した。

上記の製造工程を経て製造された半導体装置に於ては前記第2の実施例に基づく半導体装置と同様にWによる拡散阻止膜132、及び142は層間絶縁膜15の加工の影響を完全に除去し、かつA<sub>1</sub>のつき抜けに対する効果にもまったく問題がなかった。特に実施例に基づく半導体装置に於ては特願昭58-76119号に記載された特性、すなわち前記第2の実施例に基づく半導体装置に比べより優れた耐圧特性、を接合不良等の不良を生ずることなく歩留りよく得ることができた。

## 実施例4

第9図乃至第11図及び第7図は本発明の第4の実施例を製造工程順に示した断面図である。

P導電型、抵抗率 $10\Omega\cdot\text{cm}$ のシリコン基板1に公知の素子分離技術を用いて0.8 $\mu\text{m}$ 厚のフイルド酸化膜2を形成してから活性領域上のシリコン基板1表面を露出させる。この状態より熱酸化法により厚さ15nmの清浄なシリコン酸化膜をシリコン基板表面に形成し、ゲート絶縁膜3を構

の活性化を行いn-ソース拡散層8とn-ドレイン拡散層9を形成した。上記工程に於て、イオン打込み量と熱処理時間はn-拡散層8及び9の接合深さが0.15 $\mu\text{m}$ 、表面不純物濃度が $3 \times 10^{18}\text{cm}^{-3}$ に最終的になるごとく設定した(第9図)。

この状態より再び $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ による化学相反応を施し、0.15 $\mu\text{m}$ 厚の第2のシリコン酸化膜を堆積した。その後、再びスパッタエッチングにより上記第1のゲート側壁絶縁膜6及び7の側面部にのみ第2のシリコン酸化膜を選択的に残置させ第2のゲート側壁絶縁膜10及び11を形成した。この状態によりn-ソース拡散層8及びn-ドレイン拡散層9上に残置されているシリコン酸化膜3を除去してシリコン基板1表面を選択的に露出させた。続いて100nm厚のチタニウム(Ti)膜123をスパッタリング法により全面的に被着させた後、Ti膜123内で阻止されるエネルギー条件、60KeVで $1 \times 10^{16}\text{cm}^{-2}$ のイオンをイオン注入した(第10図)。

Pイオン注入の後、 $N_2$ 雰囲気、650℃なる条件の熱処理を行い、Ti膜123とシリコン基板1が接触する領域でチタンシリサイド(以降 $TiSi_2$ と記すがTiとSiの比は1:2である必要はない)層12及び13を形成した。 $TiSi_2$ 層の厚さは70nmであつた。上記のシリサイド層形成熱処理に於て、Ti膜123内に注入されていた高濃度のPイオンの一部は $TiSi_2$ 層形成時に $TiSi_2$ 層12及び13直下に高濃度でかつ50nm以下の極浅で析出し、 $n^+$ 層が形成される。上記の $n^+$ 層は $n^-$ ソース拡散層8及び $n^-$ ドレイン拡散層9と $TiSi_2$ 層12及び13間で良好なオーミック接触を可能とするものである。 $TiSi_2$ 層12及び13の形成後、末反応のTi膜を過酸化水素水とアンモニア水の混合水溶液で除去するとシリコン酸化膜や硅酸ガラス上のTi膜はシリサイド化されておらず容易に除去され、 $n^-$ 拡散層12及び13上のみ $TiSi_2$ 層12及び13が残置された(第11図)。

第11図の状態より溝がわずかに添加されたシ

リコン酸化膜を0.6  $\mu m$ 厚地積し、層間絶縁膜14を構成し、その所望箇所への開孔を施した。上記開孔工程に用いたフォトリジスト膜を残置したまま約0.2  $\mu m$ のTiW膜を被着させた。この状態で上記フォトリジスト膜を除去すると開孔部以外のTiW膜も同時に除去され、TiW膜15及び16は開孔部にのみ選択的に残置された。しかる後、A膜を全面に蒸着し、上記A膜を所望の回路構成にしたがつて蝕刻してソース電極17及びドレイン電極18を含む電極と配線を形成した(第7図)。

上記の製造工程を終て製造されたトランジスタに於ては0.3  $\mu m$ と同一膜厚を有し、単層で構成されるゲート側壁絶縁膜を有する第8図で示されるごとく従来公知のトランジスタに比してゲート電極とソース、又はドレイン・シリサイド層間の短絡不良が飛躍的に改善された。すなわち、後者における短絡不良は主にウェーハ周辺部に集中し、測定素子148ケ中21ケ見出されたのに対し、本実施例に基づくトランジスタに於ては同数

個の測定に於て、短絡不良はわずか3ケしか見出されなかつた。

さらにソース・ドレイン拡散層上がシリサイド化された本実施例に基づくトランジスタに於ては、 $n^-$ ソース拡散層上及び $n^-$ ドレイン拡散層9の接合深さをゲート側壁絶縁厚と独立に設定でき、0.15  $\mu m$ と浅く構成することができた。第2図で示され、本実施例と同一のゲート側壁絶縁膜厚、0.3  $\mu m$ 、を有する従来トランジスタに於ては上記の接合深さは、0.3  $\mu m$ であり、本実施例の倍の深さであつた。両者のソース・ドレイン間耐圧を測定したところ前者の耐圧は後者より約1.5 V高く、9.5 Vなる高耐圧値が得られた。両者の耐圧の制限要因につき2次元数値解析法による計算機解析を行つた結果、後者、すなわち従来構造素子の例圧はソース・ドレイン間のパンチスルー現象に基づくものであり、前者は雪崩降服によることが推定された。上記解析より、本実施例に基づけばソース・ドレイン接合深さをゲート側壁絶縁膜厚と独立に浅くすることができ、

パンチスルー低圧を高めることができた。

本実施例に於ては説明の都合上、第1のゲート側壁絶縁膜6及び7とゲート保護絶縁膜5を別工程で構成する例について説明したが、ゲート電極4の加工後、低温湿式酸化法等を用いて高濃度に不純物が注入されているゲート電極4上し及び側壁部に選択的に厚い酸化膜を形成し、同時にゲート保護絶縁膜5と第1のゲート側壁絶縁膜6及び7を形成してもよい。すなわち、第1のゲート側壁絶縁膜6及び7は熱酸化膜で、第2のゲート側壁絶縁膜10及び11は堆積膜で構成しても何ら問題がない。

(発明の効果)

本発明によれば超微細半導体装置を層間絶縁膜の加工条件のバラツキにまつたく影響されず、かつA膜のつき抜け不良も完全に防止できる効果がある。さらに本発明によれば拡散閉止膜を400℃以下の低温で、かつソース・ドレイン領域と自己整合的に構成できるので極浅ソース・ドレイン接合を保持し、かつソース・ドレイン間短絡等の

不良も生ずることなく高耐圧・高利得の超微細半導体装置を実現できる効果を有する。

尚、以上の説明において、半導体基体なる記載を行つたが、上記は説明の簡略化の為のものであり、半導体基板上のエピキタシヤル層や半導体基板内に深く形成されたいわゆるウエル拡散層も上記の半導体基板と同様に考え、本発明を適用することができる。

本発明の各実施例に於て、シリサイド層としてチタンシリサイドを用いる例につき記載したが上記のシリサイド層は他の金属シリサイド、例えば W, Pt, Pd, Ta, Cr, Co, Nb, Hf, Ni, Zr 等の高融点金属、又は遷移金属のシリサイドで置換えても何らさしつかえない。さらに n-ソース・拡散層、及び n-ドレイン拡散層は高濃度の n+ ソース拡散層及び n+ ドレイン拡散層で置換えられても何らさしつかえないし、いわゆる Lightly Doped Drain (LDD) 構造、及び二重ドレイン構造と称されるドレイン拡散層構造にも適用できることは自明である。また各実施例に

たゲート側壁絶縁膜の膜厚と無関係に浅い接合を有するソース・ドレイン接合を構成でき、パンチスルー現象によるソース・ドレイン間耐圧を向上できる効果がある。

尚、特許請求の範囲に於て、第1の絶縁膜、第2の絶縁膜、さらには第3の絶縁膜なる表現を用いたが、これらはいずれも単層絶縁膜に限定される必要はなく、いずれの絶縁膜も多層重合せ絶縁で構成されていても本発明の精神を逸脱しない。

さらに本発明は本発明者らにより先に特願昭58-76119号として先に出願されたとき半導体装置、すなわち、ソース・ドレイン領域が半導体基板上に積上げられた構造、又はゲート電極が半導体基板表面下に埋込まれた構造に対しても適用できることは明らかである。

さらに本発明の実施例に於ては説明の都合上、P型基板内にn型ソース・ドレイン拡散層を有するいわゆるnチャネル型トランジスタにつき説明したが、n型基板、又はn型ウエル領域内にP型のソース・ドレイン領域を有するいわゆるPチャ

ネル型トランジスタ、さらにはp及びnチャネルのMOS型電界効果トランジスタが同一基板内に構成されている相補型MOS電界効果トランジスタ、及び同一半導体基板内に多数個のトランジスタが構成されている半導体集積回路装置にも適用できることは明らかである。

尚、拡散阻止膜の例として前記各実施例に於てはTiW, W膜の場合について示したが他にTiN, Ti, Ta, 又はTa膜のごとくAlの拡散を阻止し、層間絶縁膜の加工時に影響されない良導電性薄膜であればよい。

更に、本発明によればゲート電極とソース・ドレイン拡散層上シリサイド層間のピンホール密度を飛躍的に低減できるのでトランジスタの各端子間短絡不良を格段に解消することができる。さらに本発明によればソース・ドレイン拡散層を第1のゲート側壁絶縁膜端から導入するため累計され

たゲート側壁絶縁膜の膜厚と無関係に浅い接合を有するソース・ドレイン接合を構成でき、パンチスルー現象によるソース・ドレイン間耐圧を向上できる効果がある。

尚、本発明の実施例に於て、説明の都合上シリサイド層12及び13としてチタンシリサイドの場合につき説明したが上記はチタンシリサイドに限定される必要はなく、W, Mo, Ta, Pd, Pt, Cr, Co, Ni, Zr, Nb, Hf等の高融点金属、又は遷移金属のシリサイド、さらには上記金属自体で置換えても何らさしつかえない。

#### 図面の簡単な説明

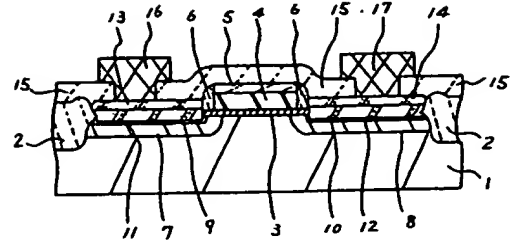
第1図は本発明の第2の実施例を示す断面図で本発明の代表例である。第2図は従来の半導体装置の断面を示す図、第3図乃至第5図は本発明の第1の実施例を工程順に示す断面図、第6図は本発明の第3の実施例を示す断面図、第7図は本発明の実施例を示す断面図、第8図は従来公知の半

図体装置を示す断面図、第9図乃至第11図は本  
発明の実施例を製造工程順に示す断面図である。  
1…基板、2…絶縁膜、3…ゲート絶縁膜、4…  
ゲート電極、5、6…絶縁膜。

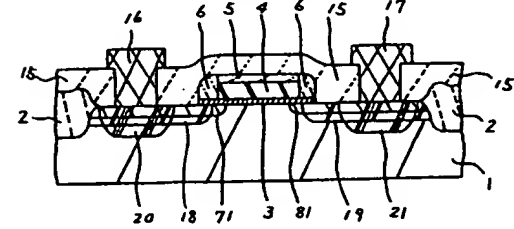
代理人 弁理士 小川 勝男



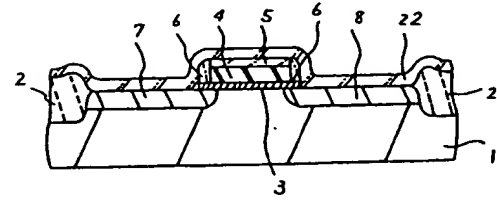
第1図



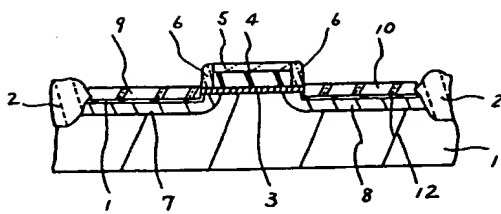
第2図



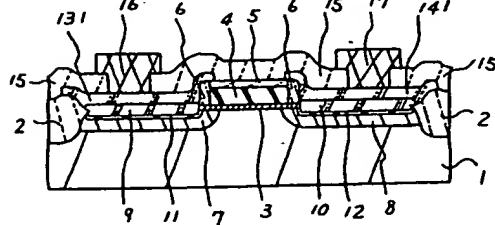
第3図



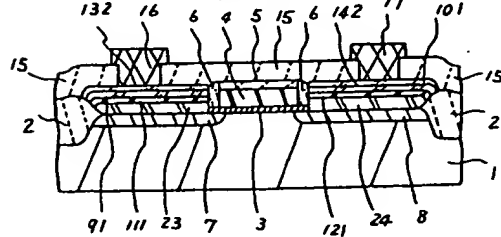
第4図



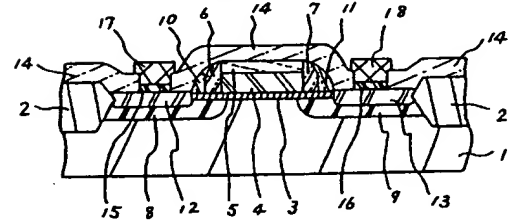
第5図



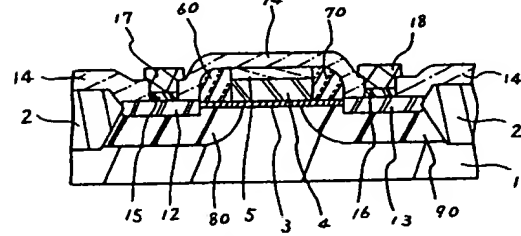
第6図



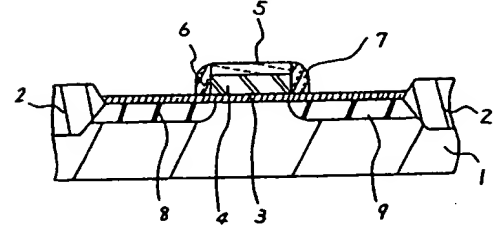
第7図



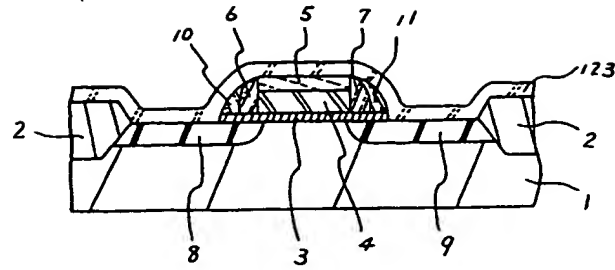
第8図



第9図



第10図



第11図

